



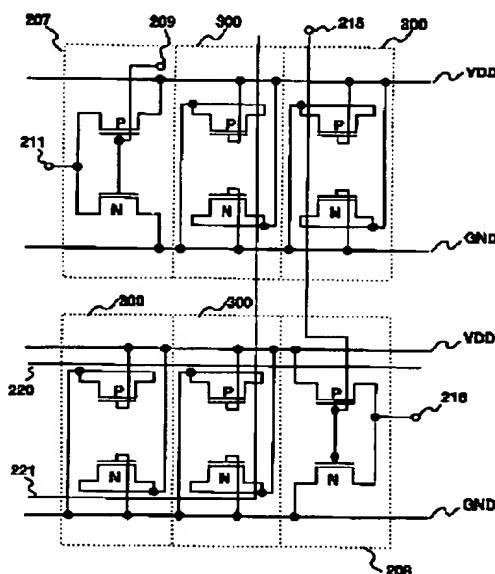
## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10107235 A**(43) Date of publication of application: **24 . 04 . 98**(51) Int. Cl. **H01L 27/118**(21) Application number: **08255803**(22) Date of filing: **27 . 09 . 96**(71) Applicant: **HITACHI LTD**(72) Inventor: **YAGYU MASAYOSHI  
YAMASHITA HIROKI****(54) METHOD FOR CONSTITUTING GATE ARRAY LSI  
AND CIRCUIT DEVICE USING THE SAME****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To stabilize the operation of circuit devices by providing construction of a gate array LSI with low parasitic self inductance from circuits and a power terminal to a bypass capacitor, where the bypass capacitor is packaged without increasing the chip size.

**SOLUTION:** Among devices prepared for constructing logic circuits on the gate array LSI, devices not used for ordinary logic circuits (207 and 208) are used to form bypass capacitors 300. This provides the bypass capacitors very near the circuits and the power terminal without increasing the LSI area and reducing the packaging density of the circuit devices, thus stabilizes the operations of the circuits.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-107235

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 27/118

識別記号

F I

H 0 1 L 21/82

M

審査請求 未請求 請求項の数11 O L (全 9 頁)

(21) 出願番号 特願平8-255803

(22) 出願日 平成8年(1996) 9月27日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 柳生 正義

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 山下 寛樹

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

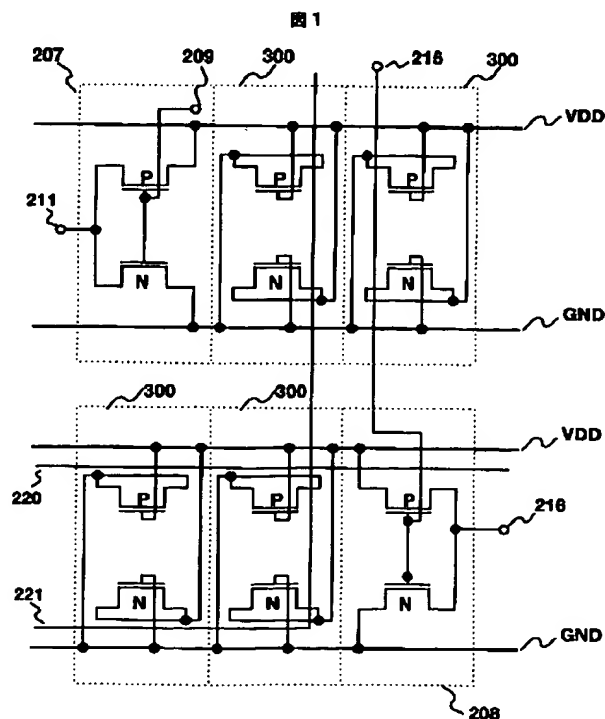
(54) 【発明の名称】 ゲートアレー L S I の構成方法とこれを用いた回路装置

(57) 【要約】

【課題】 回路・電源端子からバイパスコンデンサまでの寄生自己インダクタンスが小さく、さらにチップサイズの増加を伴わないでバイパスコンデンサを実装できるゲートアレー L S I の構成方法を提供することで、回路装置の動作を安定にする。

【解決手段】 ゲートアレー L S I 上に論理回路を構成するためにあらかじめ用意された素子のうちで、通常の論理回路 (207、208) としては使用しない素子を使って、バイパスコンデンサ回路300を作る。

【効果】 回路と電源端子の極近傍に、L S I の面積を増加させずかつ回路装置の実装密度を劣化させないで、バイパスコンデンサを配置することができることにより、回路動作の安定化が図れる。



## 【特許請求の範囲】

【請求項1】チップ上に、論理回路を構成するための素子と論理回路に電力を供給するための電源線とがあらかじめ用意されており、該素子の一部と該電源線の一部とを使って論理回路を作り、該論理回路間を結線することで所望の論理機能を実現する集積回路において、あらかじめ用意されている素子のうちで論理回路を構成するためには使用されなかった素子のすくなくとも一部を使って、集積回路上の電源配線間にバイパスコンデンサを形成することを特徴とするゲートアレーL S Iの構成方法。

【請求項2】上記バイパスコンデンサのすくなくとも一部は、ゲート電極が正側電源に接続され、ソース電極とドレイン電極とが負側電源に接続されているpチャンネル型MOSトランジスタである請求項1記載のゲートアレーL S Iの構成方法。

【請求項3】上記バイパスコンデンサのすくなくとも一部は、ゲート電極が負側電源に接続され、ソース電極とドレイン電極とが正側電源に接続されているnチャンネル型MOSトランジスタである請求項1記載のゲートアレーL S Iの構成方法。

【請求項4】上記バイパスコンデンサのすくなくとも一部は、ゲート電極が負側電源に接続され、ソース電極とドレイン電極とが正側電源に接続されているpチャンネル型MOSトランジスタである請求項1記載のゲートアレーL S Iの構成方法。

【請求項5】上記バイパスコンデンサのすくなくとも一部は、ゲート電極が正側電源に接続され、ソース電極とドレイン電極とが負側電源に接続されているnチャンネル型MOSトランジスタである請求項1記載のゲートアレーL S Iの構成方法。

【請求項6】上記バイパスコンデンサのすくなくとも一部は、ベース電極が負側電源に接続され、コレクタ電極とエミッタ電極とが正側電源に接続されたnpn型バイポーラトランジスタである請求項1記載のゲートアレーL S Iの構成方法。

【請求項7】上記バイパスコンデンサのすくなくとも一部は、ベース電極が正側電源に接続され、コレクタ電極とエミッタ電極とが負側電源に接続されたpnp型バイポーラトランジスタである請求項1記載のゲートアレーL S Iの構成方法。

【請求項8】上記バイパスコンデンサのすくなくとも一部は、論理回路を構成する様に接続された1個以上の素子であって、該素子は、pチャンネル型MOSトランジスタまたはnチャンネル型MOSトランジスタまたはnpn型バイポーラトランジスタまたは抵抗のいずれかのすくなくとも1個からなる請求項1記載のゲートアレーL S Iの構成方法。

【請求項9】上記論理回路の入力端子は論理ハイレベル

または論理ロウレベルのいずれかが印加されている請求項8記載のゲートアレーL S Iの構成方法。

【請求項10】上記論理回路の出力端子には有限長の配線長を有する信号配線が接続されている請求項8記載のゲートアレーL S Iの構成方法。

【請求項11】請求項1から請求項10のいずれかすくなくとも1個の方法で構成されたゲートアレーL S Iを有することを特徴とする回路装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は高速に動作する回路装置に関し、特にゲートアレーL S Iの電源電圧変動に代表される電気的なノイズを防ぐために利用できる、バイパスコンデンサを内蔵したゲートアレーL S Iの構成方法及びこれを用いた回路装置に関する。

## 【0002】

【従来の技術】半導体集積回路は電子計算機、パソコン、携帯電話等、非常に多くの装置に組み込まれて利用されている。特に、電子計算機に代表される高速に信号を処理する装置では、その高機能化とも相まって、非常に動作速度が速くまた回路数が多い半導体集積回路が使われる。この様な半導体集積回路においては、回路がスイッチング動作する時にその切り替わり電流に起因する電気的ノイズ、すなわち電源電圧揺れが発生する。この電源電圧揺れは回路動作速度が速いほど、また同時に切り替わる回路数が多いほど大きくなる。回路の電源電圧が変動すると回路の動作速度の劣化や誤動作等の問題を引き起こす。この為、電源電圧揺れが大きくなるような工夫が従来から採られている。最も代表的な対策は回路の電源端子間にバイパスコンデンサを接続する方法である。

【0003】図3に示す従来例は、集積回路1の正側および負側電源端子VDD、GND間にバイパスコンデンサ103を接続した状態を示している。電源端子VDD、GNDはまず基板100に接続され、基板100内に配置されたスルーホールと電源層配線101、102を介してバイパスコンデンサに接続される。

【0004】図4は、バイパスコンデンサを接続するための、更に他の従来例である。この技術は例えば、アイイーイージャーナルオブソリッドステートサーキット、ボリューム25、ナンバー5、オクトーバ1990（IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 25, NO. 5, OCTOBER 1990）の第1166頁から第1177項（特にFig. 15）にて紹介されている。集積回路1上にレイアウトされたチップ内電源線112、113間に、チップ上に作られた論理回路群114が接続されている。この図では、112が正側電源VDDに、113が負側電源GNDに対応する。この従来例では、チップ上に作られておりチップ内

10

20

30

40

50

電源線間に接続されているpチャンネル型MOSトランジスタ110と、nチャンネル型MOSトランジスタ111の、ゲート・ソース間、ゲート・ドレイン間の寄生容量がバイパスコンデンサの機能を有する。図ではバイパスコンデンサ用のトランジスタを2個しか示していないが、一般にはチップ上に複数個のバイパスコンデンサ用トランジスタを作り込むことで、バイパスコンデンサの容量が大きくなるように設計する。

#### 【0005】

【発明が解決しようとする課題】 上述した図3においては、集積回路の電源端子および実際に切り替わりを生じている論理回路からバイパスコンデンサに至るまでの配線が長く、特に回路が高速に動作する場合は、配線に生じる寄生自己インダクタンスの影響でバイパスコンデンサが有効に機能しないという問題がある。例えばこの配線の長さを5mm程度に作った場合、スルーホール径が100 $\mu$ mとすると、寄生自己インダクタンスは約4nHになる。更に図3では、バイパスコンデンサを実装するための面積が集積回路が占める面積とは別に必要であるので、バイパスコンデンサを接続することによって装置全体の実装密度が低下するという別の問題も有する。

【0006】 図4では、バイパスコンデンサは集積回路内に作られているので、図3の様な寄生自己インダクタンスの問題は無い。しかしバイパスコンデンサ用のトランジスタをチップ内に配置するため、集積回路上に論理動作を実現するための回路とは別にバイパスコンデンサを形成するためのトランジスタ領域を確保する必要があり、LSIのチップ面積が増大するという別の問題がある。このことは更に、装置全体の実装密度の低下を招くという問題につながる。

【0007】 本発明は、電源端子および切り替わりを生じる論理回路からバイパスコンデンサまでの寄生自己インダクタンスが小さく、更にLSIのチップ面積も増大せず実装密度の劣化を伴わないで、バイパスコンデンサが実現できるゲートアレーLSIの構成方法を提供することを目的としている。

#### 【0008】

【課題を解決するための手段】 上記目的を達成するために本発明は、論理回路を形成するためにあらかじめゲートアレーLSI上に用意した素子であるが、論理回路としては使われず回路の配置配線後に未使用のままになっている素子を使って、バイパスコンデンサ回路を構成する。

【0009】 バイパスコンデンサを形成するための素子はあらかじめ論理回路を形成するために用意されていた領域の一部にあり、これはLSIの電源パッドよりも回路に近い場所である。バイパスコンデンサから切り替わり動作をしている回路までの配線の長さは長くても数百 $\mu$ m、一般には数十 $\mu$ m程度にできるので、寄生自己

インダクタンスの影響は非常に小さくなる。

【0010】 本発明を用いると、バイパスコンデンサ回路の容量を構成するための素子は、あらかじめLSI上に作り込まれていて論理回路形成領域中の論理回路としては使用されなかった素子が利用される。従って図3の従来例で見られるような実装密度の劣化はない。

【0011】 また図4の従来例のように、バイパスコンデンサを作るために論理回路用とは別のトランジスタをLSIに作り込む必要はない。このため、LSIの面積も増大しない。

#### 【0012】

【発明の実施の形態】 以下、本発明の実施例をCMOSゲートアレーLSIを例に説明するが、その前にCMOSゲートアレーLSIの回路、配線の形成方法に簡単にふれておく。

【0013】 図5は一般的なCMOSゲートアレーLSIの表面パターンの一部を拡大表示した図である。この図には、端子がどこにも結線されていないトランジスタ(206)、電源配線(VDD、GND)、および信号配線を配置することができる格子位置(204、205内の実線)だけが示してある。トランジスタの端子間を結線し、所望の論理動作を実現するような回路内配線と回路間配線はまだ形成されていない。CMOSゲートアレーLSIでは、トランジスタと電源配線のみが共通部品として用意されており、トランジスタの端子間をつなぐ配線を適当に追加することで必要な論理が入ったLSI品種を展開してゆく。図には示していないが、VDD配線、GND配線はそれぞれX方向(図の横方向)に長く延びており、LSI外から電力を受け取るための電源パッドにそれぞれ接続される。また電源配線はX方向だけでなくY方向(図の縦方向)にも準備されているのが一般的である。この場合、X方向、Y方向それぞれに走る同種の電源配線(例えばVDD)を互いに接続して、電源給電系のインピーダンスを下げるのが通常行われる。

【0014】 図で、200はpチャンネル型MOSトランジスタ(以下、pMOSと略記する)のゲート電極になるパターンである。202はpMOSのソース、ドレイン電極を作るためのp型半導体領域である。同様に203はnチャンネル型MOSトランジスタ(以下、nMOSと略記する)のゲート電極、201はnMOSのソース、ドレイン電極になるn型半導体領域である。pMOS1個とnMOS1個からなるトランジスタ対206がLSI内に規則的に並んでいる。pMOSのソース、ドレインの上を正側電源の配線VDDが通っている。VDDの電圧は5Vまたは3.3Vに設定されるのが一般的である。同様にnMOSのソース、ドレインの上を負側電源の配線GNDが通っている。GNDは0Vに設定されるのが一般的である。

【0015】 実線群204は紙面をX方向に走る信号配

10

20

30

40

50

線の格子位置を表している。同様に、実線群205は紙面をY方向に走る信号配線の格子位置を表す。ゲートアレーLSIでは回路の信号端子間を適当に接続して所望の論理を実現するわけであるが、このとき信号端子間をむすぶ配線はLSI上の任意の場所には配置しない。通常はX方向、Y方向それぞれに仮想的な格子を作り、配線はその格子の上だけを通るのが一般的である。図5の例では、X方向の信号配線には電源配線と同じ層の金属を使うので、電源パターンの位置には格子が採られておらず、これによって信号と電源がショートしないようになっている。

【0016】図6は、図5で示したCMOSゲートアレーLSIと等価な回路図である。端子200と202からなるpMOSと、端子201と203からなるnMOSで構成されるトランジスタ対206が規則正しく並んでおり、そこを電源線VDDとGNDが走っている。

【0017】図7(a)はpMOSの断面図である。200はゲート電極、202はソースまたはドレイン電極であり、図5にも示してあったので、図5と同じ番号を付けてある。230はn型半導体領域、231はトランジスタ間を電気的に分離するための絶縁物である。M1は第1層目の金属配線である。M2は第2層目の金属配線である。電源配線や回路間を結ぶ信号配線はM1、M2等の金属配線が利用される。図5において、VDD、GNDを形成する配線にはM1層が、格子位置のみを示したX方向の信号配線204にもM1層が、格子位置のみを示したY方向の信号配線205にはM2層がそれぞれ使われる。232はM1配線層とゲート電極、ソース、ドレイン電極とを電気的に分離するための層間絶縁膜である。233はM1層とM2層とを分離するための層間絶縁膜である。CONTはp型半導体領域202とM1とを電気的に接続するために232に開けた穴及びその穴に充填された金属である。M1と202がXY座標上で重なっていても、そこにCONTがなければ両者は電気的導通を持たない。図7(a)には示していないが、ゲート電極200とM1とを接続するためにもCONTが使われる。THは233に開けた穴とその穴に充填された金属であり、M1とM2とを電気的に導通させるために使用する。M1、M2間も先ほどと同様に、XY座標上で交差した場所にTHが無ければ導通しない。

【0018】図7(b)はnMOSの断面図である。201はソース電極、ドレイン電極を作るためのn型半導体領域である。203はゲート電極である。234はp型半導体領域である。その他のものは図7(a)と同じであるので説明は省略する。

【0019】図8は、図5で示した下地パターンに配線、CONT、THを追加し、2つのCMOSインバータ回路207、208を形成した状態を表す図である。図において、バツ印は図7(a)(b)で説明したCONTがある位置を示している。同様に黒いひし形印はT

Hの位置を表している。インバータ回路207において、209は入力端子用のM1配線、211は出力端子用のM1配線である。pMOSおよびnMOSのソース電極はそれぞれCONTでVDDおよびGNDにつながっている。両トランジスタのゲート電極同士はCONT、M1を介して接続されている。両トランジスタのドレイン電極同士もCONT、M1を介して接続されており、このM1が出力端子211となっている。同様にインバータ回路208において、216はCONT、M1で形成された出力端子である。入力端子はM1配線214と、THを介してそれにつながったM2配線215である。図8にはインバータ回路の他に、図示した範囲外にある回路間を接続するためのM1信号配線220が示してある。他のM1配線221、M2配線222、およびそれらをつなぐTHも220と同様、図示範囲外の回路間を接続するための信号配線である。

【0020】図9は、図8で示したゲートアレーLSIと等価な回路図である。入力端子209と出力端子211を有するインバータ回路207と、入力端子215と出力端子216とを有するインバータ回路208とが形成されている。他のトランジスタ対206は未使用のままである。図示範囲外の論理回路間を接続する信号配線220、221も示してある。

【0021】図8、図9の例が示すように、一般的にゲートアレーLSIにおいては、論理回路を形成するために配置したトランジスタの一部分のみを使用することが多く、全てを使用することは希である。本発明は未使用の論理回路形成用トランジスタを使ってバイパスコンデンサを作ること回路動作を安定化する。

【0022】以下、本発明の実施例を図1、図2、図10から図15を用いて説明する。

【0023】図10(a)は、1組のpMOS、nMOSを使ってバイパスコンデンサを作る場合のレイアウトの一例を示した図である。図で、右上がりのハッチングはバイパスコンデンサ回路を作るために追加したM1配線、右下がりのハッチングはバイパスコンデンサ回路を作るために追加したM2配線である。pMOSのソース電極、ドレイン電極は共にGNDに接続される。pMOSのゲート電極はVDDに接続される。nMOSのソース電極、ドレイン電極はVDDに接続される。nMOSのゲート電極はGNDに接続される。

【0024】図10(b)は、図10(a)で示したレイアウトと等価な回路図である。pMOSのゲート・ソース間容量、ゲート・ドレイン間容量(CP1、CP2)、ソース電極、ドレイン電極とVDDとの間に生じる逆バイアスされた寄生ダイオード(DP1、DP2)の空乏層容量がバイパスコンデンサとして作用する。同様にnMOSのゲート・ソース間容量、ゲート・ドレイン間容量(CN1、CN2)、ソース電極、ドレイン電極とGND間の寄生ダイオード(DN1、DN2)の空

乏層容量もバイパスコンデンサとして作用する。

【0025】図2は本発明を用いたゲートアレーLSIを示す図である。図8では論理回路を構成するためには使われておらず未使用であったトランジスタ対206が、バイパスコンデンサ回路300に変わっている。図2に示した複数のバイパスコンデンサ回路300では、バイパスコンデンサ用に追加した配線M1、M2のレイアウトパターンが各々で異なっている。レイアウト方法は本発明の本質ではないので、既設の信号配線（図では220、221）や回路内配線（209、211、214、215、216）とショートしない範囲で自由に結線してもよい。

【0026】図1は図2で示したレイアウトと等価な回路図である。図9で論理回路を構成するためには使われず未使用のままであったトランジスタ対206が図10(b)で示したバイパスコンデンサ回路300に変わっている。

【0027】図1、図2から明らかなように、本発明を用いるとバイパスコンデンサをLSI上に作り込んでもそのために生じるLSIの面積増はない。また、バイパスコンデンサは切り替わりを起こす回路の極近傍に配置できるので、寄生インダクタンスの影響を受けにくく有効に回路動作を安定化できる。

【0028】図1、図2では、図8、図9において未使用であったトランジスタ対206の全てをバイパスコンデンサ回路300に置き換えた状態を示しているが、必ずしも全てを置き換える必要はない。一般には、バイパスコンデンサ容量はより大きいほど回路動作を安定にできるが、未使用の素子がLSI上に残っていても本発明の本質は損なわれない。

【0029】図11はバイパスコンデンサ回路を構成するための、第2のトランジスタ結線方法を示す図である。図11(a)はpMOSのみをバイパスコンデンサにする場合のレイアウトである。図11(b)はnMOSのみをバイパスコンデンサにする場合のレイアウトである。バイパスコンデンサ回路はpMOSとnMOSのペアである必要はなく、どちらか片方だけでもよい。

【0030】図12はバイパスコンデンサ回路を構成するための、第3のトランジスタ結線方法を示す図である。図12(a)にレイアウトの一例を、図12(b)にそのレイアウトが表している回路図を示す。図12(a)(b)は実は入力を論理ロウレベルに固定したCMOSインバータ回路になっている。pMOSのゲート・ドレイン間容量CP1、ゲート・ソース間容量CP2、ゲート・基板間容量CP3、ドレイン・基板間の寄生ダイオードDP1、nMOSのゲート・ドレイン間容量CN1、ドレイン・基板間の寄生ダイオードDN1がVDD電源とGND電源との間に接続されてバイパスコンデンサとして作用する。

【0031】図13はバイパスコンデンサ回路を構成す

るための、第4のトランジスタ結線方法を示す図である。図13も図12と同様にCMOSインバータ回路であるが入力は論理ハイレベルに固定されている。入力を論理ハイレベルに固定すると図13(b)に示すとおり、pMOSのゲート・ソース間容量とゲート・基板間容量はバイパスコンデンサとしては作用しなくなる。この構成ではnMOSのゲート・ソース間容量CN1、ゲート・基板間容量CN3がバイパスコンデンサの機能を持つようになる。

【0032】図13(a)では、インバータ回路の出力端子に配線(LINE)が接続されている。図13

(b)に示す通り、配線と電源との間には配線容量(CLP、CLN)が生じるので、これもバイパスコンデンサとして利用できる。配線(LINE)が長いほど配線容量(CLP、CLN)が大きくなり、バイパスコンデンサが有効に作用するようになる。しかし、出力端子に配線を接続することは必ずしも必要ではない。配線を付加できる場合にのみ実施すればよい。

【0033】インバータ回路だけでなく、NOR回路やNAND回路等の通常の論理回路もバイパスコンデンサとして利用することができる。この場合、入力端子は論理ハイレベルまたは論理ロウレベルに固定してバイパスコンデンサ回路が不要に切り替わらないようにする。

【0034】出力端子に配線を接続することとインバータ回路をバイパスコンデンサとして利用することは独立である。通常の論理回路の出力端子に配線を接続してもかまわない。

【0035】図14はバイパスコンデンサを構成するための、第5のトランジスタ結線方法である。図14

(a)はソース電極、ドレイン電極が正側電源VDDに接続され、ゲート電極が負側電源GNDに接続されたpMOSでバイパスコンデンサを作っている。この接続では、pMOSのゲート・ソース間容量、ゲート・ドレイン間容量(CP1、CP2)、ゲート・基板間容量(CP3)がバイパスコンデンサになる。図14(b)はソース電極、ドレイン電極が負側電源GNDに接続され、ゲート電極が正側電源VDDに接続されたnMOSでバイパスコンデンサを作っている。この接続では、nMOSのゲート・ソース間容量、ゲート・ドレイン間容量(CN1、CN2)、ゲート・基板間容量(CN3)がバイパスコンデンサになる。

【0036】図14のバイパスコンデンサ回路は、図10、図11に示したバイパスコンデンサ回路においてpMOS、nMOSそれぞれのソース・ドレイン電極とゲート電極とを正側、負側が逆になるように接続した回路になっている。電源変動を抑えたい電源間に容量が付加されるように素子を接続すればバイパスコンデンサ回路になるのであるから、トランジスタをこのように接続してもかまわない。

【0037】図1、図2に示した実施例ではバイパスコ

ンデンサ回路300は全て図10に示した回路を使っていたが、図11から図14に示した別のバイパスコンデンサ回路を使ってもかまわない。また一つのLSI中に複数種のバイパスコンデンサ回路が混在していてもかまわない。

【0038】図15はバイパスコンデンサを構成するための、第6のトランジスタ結線方法である。図15

(a)はnpn型バイポーラトランジスタを使ってバイパスコンデンサを作っている。コレクタ端子とエミッタ端子が、電源変動を抑えたい電源間の内で正側の方に接続され、ベース端子が負側の電源に接続される。このように接続すると、トランジスタのベース・コレクタ間容量 $C_{bc1}$ とベース・エミッタ間容量 $C_{be1}$ が並列に電源間に入り、電源の揺れを抑える。図14(b)は同様に、pnp型バイポーラトランジスタを利用してバイパスコンデンサを作った例である。pnp型バイポーラトランジスタではコレクタ端子とエミッタ端子が負側電源に接続され、ベース端子が正側電源に接続される。この場合も、トランジスタのベース・エミッタ間容量 $C_{be2}$ とベース・コレクタ間容量 $C_{bc2}$ がバイパスコンデンサとして作用する。バイポーラトランジスタを使ったゲートアレーLSIでは、論理回路を構成するために用意した素子のうちで未使用のまま残ったトランジスタをこの図のように接続すればよい。

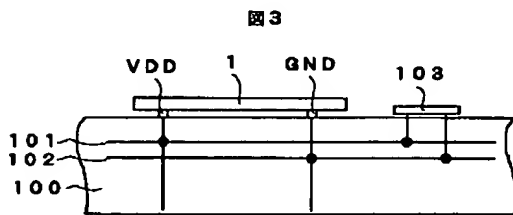
【0039】

【発明の効果】本発明によれば、回路及び電源端子の極近傍に回路装置の実装密度を劣化させることなくバイパスコンデンサを配置することができ、回路動作の安定化が図れる。

【図面の簡単な説明】

【図1】本発明の実施例を示す回路図。

【図3】



\*【図2】本発明の実施例のLSIレイアウトパターンを示す図。

【図3】バイパスコンデンサの実装方法を示す第1の従来例を示す図。

【図4】バイパスコンデンサの実装方法の第2の従来例を示す図。

【図5】一般的なCMOSゲートアレーLSIの回路、電源配線パターン的一部分を示す図。

【図6】図5で示したレイアウトパターンと等価な回路図。

【図7】pチャンネル型MOSトランジスタとnチャンネル型MOSトランジスタの断面図。

【図8】図5で示したLSIに2個のインバータと2種類の信号配線を形成した図。

【図9】図8で示したレイアウトパターンと等価な回路図。

【図10】バイパスコンデンサを形成するための、トランジスタの第1の結線方法とその回路構成を示す図。

【図11】バイパスコンデンサを形成するための、トランジスタの第1の結線方法を示す図。

【図12】バイパスコンデンサを形成するための、トランジスタの第3の結線方法とその回路構成を示す図。

【図13】バイパスコンデンサを形成するための、トランジスタの第4の結線方法とその回路構成を示す図。

【図14】バイパスコンデンサを形成するための、トランジスタの第5の結線方法を示す回路構成図。

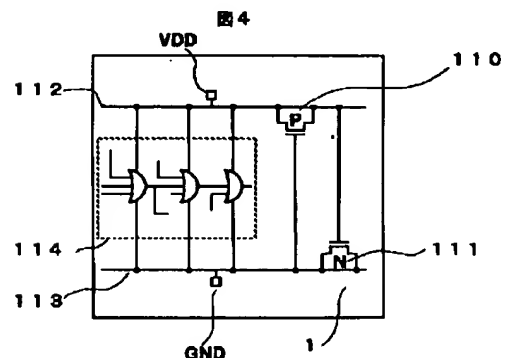
【図15】バイパスコンデンサを形成するための、トランジスタの第6の結線方法を示す回路構成図。

【符号の説明】

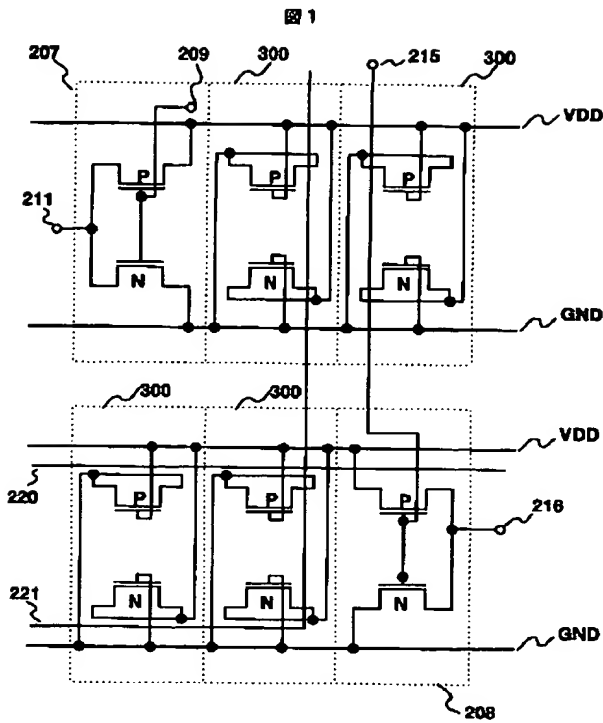
30 VDD、GND…電源、207、208…インバータ回路、

\* 300…バイパスコンデンサ。

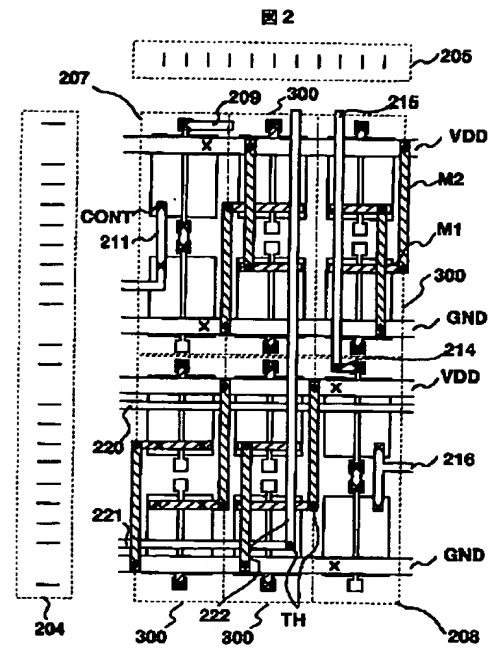
【図4】



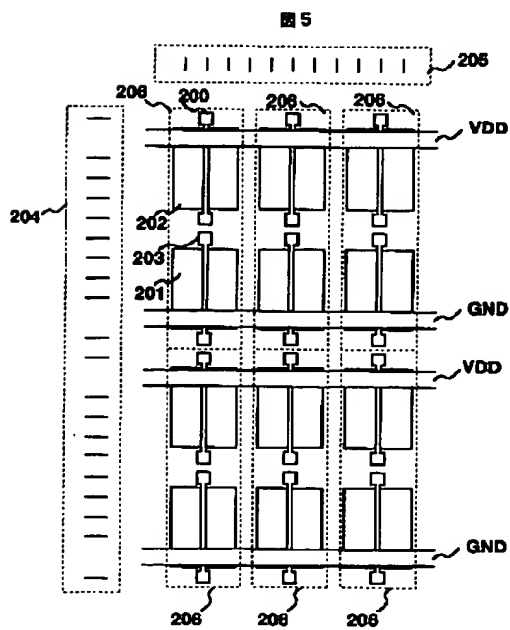
【図1】



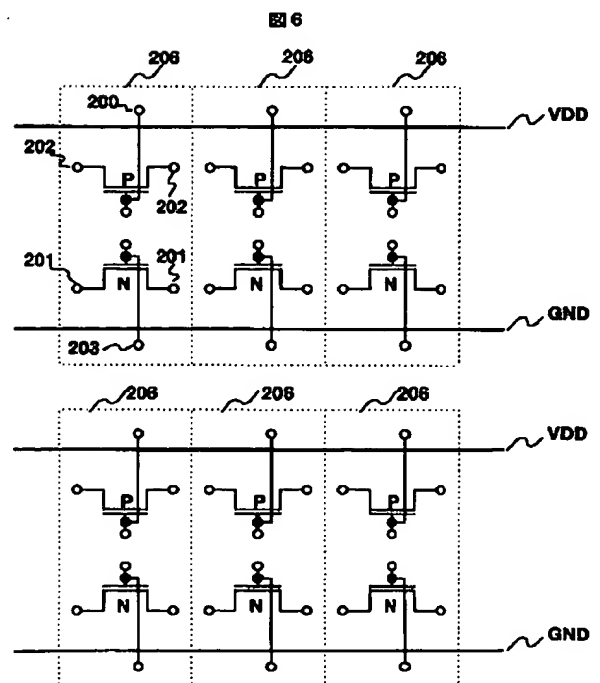
【図2】



【図5】



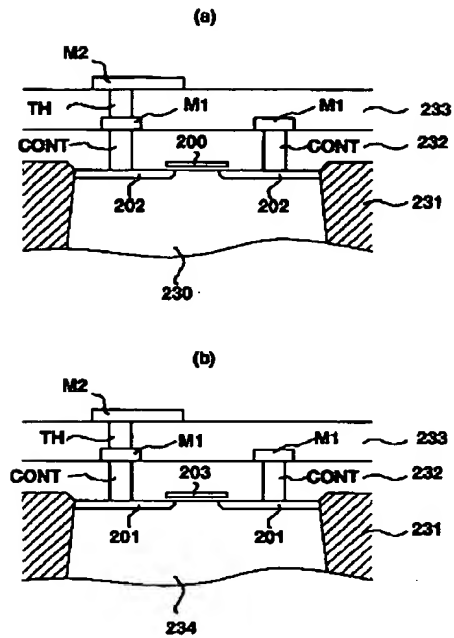
【図6】





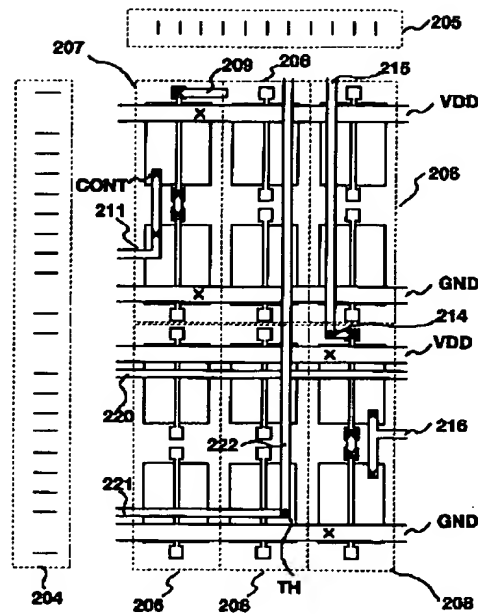
【図7】

図7



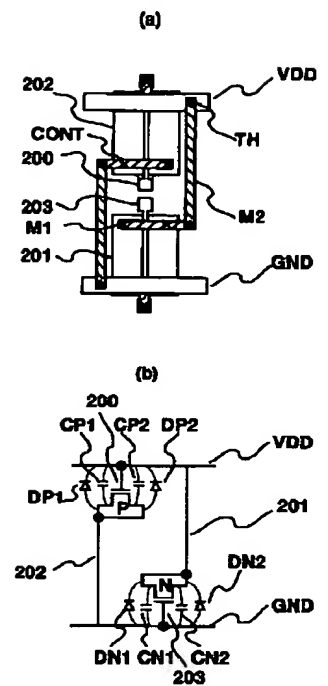
【図8】

図8



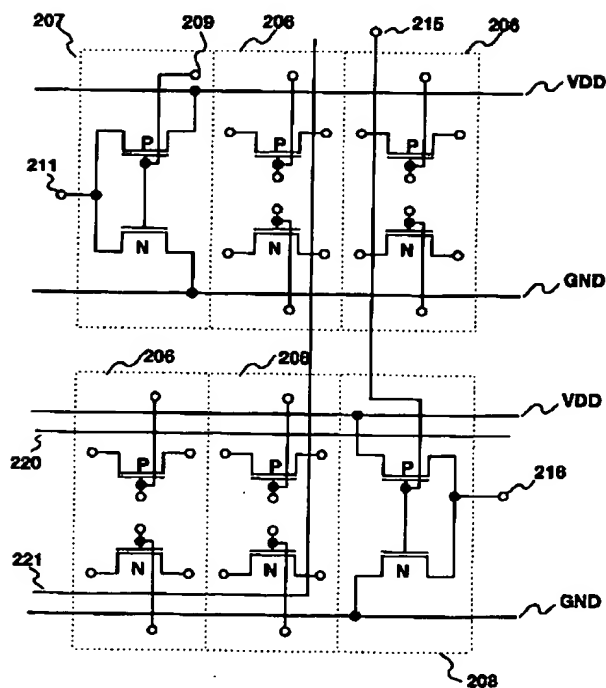
【図10】

図10



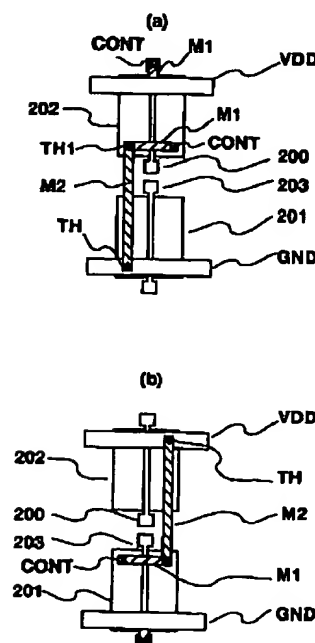
【図9】

図9



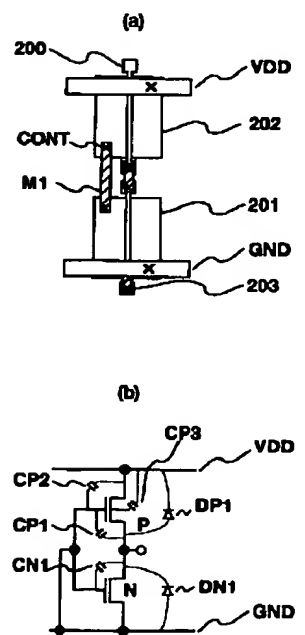
【図11】

図11



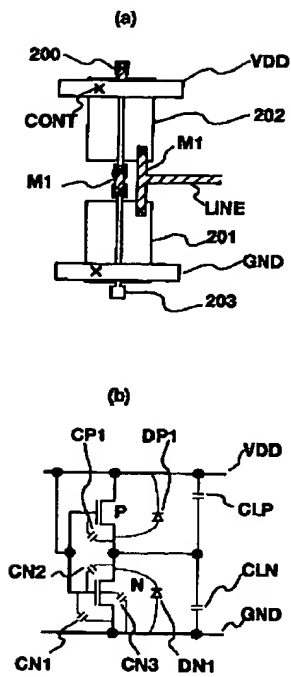
【図12】

図12



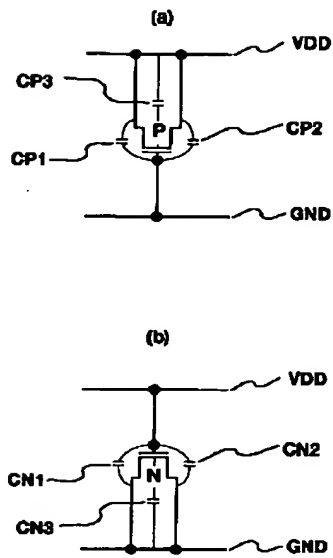
【図13】

図13



【図14】

図14



【図15】

図15

